

Requested Patent: JP5160358A
Title: LATCHUP-PROOF SEMICONDUCTOR DEVICE ;
Abstracted Patent: JP5160358 ;
Publication Date: 1993-06-25 ;
Inventor(s): KOIKE TERUMASA ;
Applicant(s): NEC ENG LTD ;
Application Number: JP19910322813 19911206 ;
Priority Number(s): ;
IPC Classification: H01L27/092; G01R31/26; H01L21/66 ;
Equivalents: ;

ABSTRACT:

PURPOSE: To eliminate effects of a latchup phenomenon on a CMOS semiconductor device under a radiation environment or a high electromagnetic field environment.

CONSTITUTION: Optical waveguides 1, 2 and 4 which are composed of oxide films are formed in a CMOS IC. The direction of a light emitted by a latchup phenomenon is turned 90 degrees at the end part of the optical waveguide 4 and inputted to a photoelectric transducer 3. Transistors 5 and 22 are provided on the output side of the photoelectric transducer 3. The electromotive force of the photoelectric transducer 3 is applied to the depletion-type MOS transistor 5 to cut off a power supply current to dissolve the latchup phenomenon. Further, the non-volatile depletion-type MOS transistor 22 is provided in parallel with the depletion-type MOS transistor 5 and stores charge in its floating gate and isolates a semiconductor device from the power supply permanently. A latchup generation signal terminal 27 informs other devices of the generation of the latchup phenomenon.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-160358

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/092				
G 01 R 31/26	G 9214-2G			
H 01 L 21/66	F 8406-4M			
	7342-4M		H 01 L 27/08	321 H

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号 特願平3-322813

(22)出願日 平成3年(1991)12月6日

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72)発明者 小池 駿昌

東京都港区西新橋3丁目20番4号日本電気
エンジニアリング株式会社内

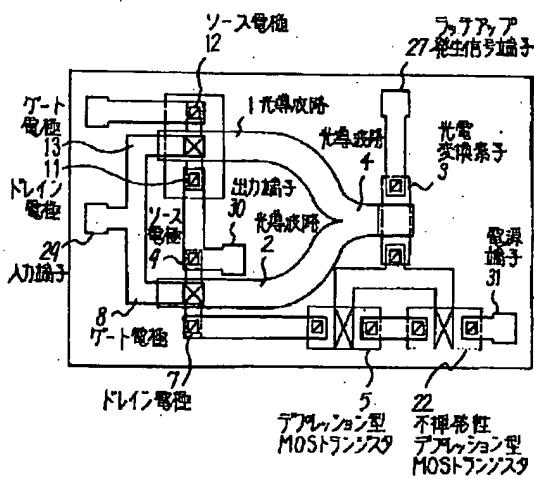
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】耐ラッチアップ半導体デバイス

(57)【要約】 (修正有)

【目的】放射線環境下もしくは高電磁界環境下のCMOS構造半導体デバイスに生ずるラッチアップ現象の影響を根本的に排除した半導体デバイスの形成。

【構成】CMOS ICに酸化膜の光導波路1, 2および4を形成する。ラッチアップ現象による発光は、光導波路4の端部で90度方向変換し、光電変換素子3に入力する。光電変換素子3の出力側にはトランジスタ5と22が形成されている。光電変換素子3の起電力はデブレッショング MOSトランジスタ5に印加されて電源電流を断し、ラッチアップを解消させ、また不揮発性デブレッショング MOSトランジスタ22は、デブレッショング MOSトランジスタ5と並列に配置し、フローティングゲートに電荷を蓄積して半導体デバイスを恒久的に電源から分離する。ラッチアップ発生信号端子27からはラッチアップ発生を他のデバイスに通知する。



【特許請求の範囲】

【請求項1】 放射線環境下もしくは高電磁界環境下で引き起されるラッチアップ現象による影響の排除機能を付与したCMOS構造の耐ラッチアップ半導体デバイスであって、前記ラッチアップ現象を光学的に検知するためにCMOS構造の半導体デバイスの表面に形成した酸化膜による光導波路を有し、前記光導波路で導光された前記ラッチアップ現象による発光を電気信号に変換し、前記ラッチアップ現象によって生ずる回路導通の過電流を遮断することにより、恒久的破壊と機能喪失とを繰り返し回復させる機能および構造を有することを特徴とする耐ラッチアップ半導体デバイス。

【請求項2】 前記ラッチアップ現象による正常動作の機能喪失をハードウェア構成で検知するとともに、接続した他の電子回路にも通知する機能および構造を有することを特徴とする請求項1記載の耐ラッチアップ半導体デバイス。

【請求項3】 前記ラッチアップ現象により恒久的な構造異常が発生し、回路に流れる過電流が解消されない場合に、その半導体デバイスに供給する電源を恒久的に断として前記過電流の発生を抑止する機能および構造を有することを特徴とする請求項1記載の耐ラッチアップ半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は耐ラッチアップ半導体デバイスに関し、特に放射線環境下もしくは高電磁界環境下で運用する電子機器に利用され、特に耐ラッチアップ性を付与したCMOS構造の耐ラッチアップ半導体デバイスに関する。

【0002】

【従来の技術】 CMOS構造の半導体デバイスは、微細化が進むにつれ、寄生PNPトランジスタとNPNトランジスタの組合せにより形成される寄生サイリスタのオン状態によって、電源端子間に過大電流が流れ、半導体デバイスの破壊を招くラッチアップ(latch up)現象が発生する。

【0003】 このラッチアップ現象に対する対策を施してない従来の非耐ラッチアップ半導体デバイスを、CMOS構造によるインバータ回路を例とすると、その基本的構造は図8および図9に示す如くである。

【0004】 図8は、従来のCMOS構造の半導体デバイスによるインバータ回路の縦断面、また図9は、図8のCMOS構造の半導体デバイスの等価回路図である。

【0005】 図8に示す如く、N形パルク材16の表面にNチャンネルMOSトランジスタ10とPチャンネルMOSトランジスタ6が形成されており、図9の等価回路に示されるように電気的に接続されている。

【0006】 このCMOS構造の半導体デバイスでは、PチャンネルMOSトランジスタ6のドレイン側P+領

域、パルク材16およびNチャンネルMOSトランジスタ10のPウエル17で形成される寄生PNPトランジスタ18と、パルク材19、NチャンネルMOSトランジスタ10のPウエル17およびNチャンネルMOSトランジスタ10のソース側N+領域で形成される寄生NPNトランジスタ19が、図10の等価回路で示すように接続されてPNPN構造となり、最終的には寄生サイリスタ構造を形成する。

【0007】 この回路に電圧が印加された状態で、被曝放射線や高電磁界の影響で、半導体デバイス内のPN接合部分の空乏層内に過剰な電子・正孔対が注入され、電子と正孔の再結合による発光現象を伴ないながら図10に示す寄生サイリスタがオンし、ラッチアップ現象が発生する。

【0008】 さらに、CMOS構造の大規模集積回路においては、NチャンネルMOSトランジスタ10とPチャンネルMOSトランジスタ6の設置距離の距離A20や、NチャンネルMOSトランジスタのソース側N+領域とPウエル17との距離B21が微細化の為に小さくなり、等価的に図10に示す寄生PNPトランジスタ18と寄生NPNトランジスタ19のベース領域間隔が狭くなり、寄生PNPトランジスタ18と寄生NPNトランジスタ19の電流増幅率が1を超える為、同様にラッチアップ現象に対する耐量が減少する。

【0009】 このような耐量を上げる為に、P+、N+ガードバンド構造や、エピタキシャル基板を用いたCMOS構造形成でも、寄生サイリスタ構造を完全に除去することが不可能であり、設計段階で想定したラッチアップ耐量レベルを超える外乱を受ける可能性は確率的に回避不可能であるので、ラッチアップ現象を完全に解消することが出来ない。

【0010】

【発明が解決しようとする課題】 上述した図8に示す、従来の非耐ラッチアップ半導体デバイスのCMOS構造によるインバータ回路を例として示すと、このCMOS構造では、PチャンネルMOSトランジスタ6のドレイン側P+領域と、N形パルク材16と、NチャンネルMOSトランジスタ10のPウエル17とで形成される寄生PNPトランジスタ18と、N形パルク材16と、NチャンネルMOSトランジスタ10のPウエル17と、Nチャンネルトランジスタ10のソース側N+領域で形成される寄生NPNトランジスタ19とが、図10に示す等価回路を形成してPNPN構造となり、最終的には寄生サイリスタ構造を形成し、この回路に電圧が印加された状態において、被曝放射線や高電磁界により、半導体デバイス内のPN接合部分の空乏層内に過剰な電子・正孔対が注入されることによって、電子と正孔の再結合による発光現象を伴ないながら寄生サイリスタ構造がオンし、回路に印加されている電圧によって、電流が供給され続けて短絡状態となり、過電流によって回路内部の

配線が溶断し、発生するジュール熱によって回復不可能な損傷を恒久的に生じさせ、また破壊へと到らしめるラッチアップ現象が回避できないという欠点がある。

【0011】また、ラッチアップ現象により、配線が溶断する程度までは電流値が上昇しない場合でも常に電流が流れたままの状態となり、基板内の電位変動等により、構成される回路の機能が全く失なわれ、恒久的な誤動作状態に固定され、消費電力の増加という欠点も発生する。

【0012】さらに、CMOS構造の大規模集積回路においては、NチャンネルMOSトランジスタ10とPチャンネルMOSトランジスタ6の設置距離が微細化のためにいよいよ接近し、等価的に寄生PNPトランジスタ18、寄生NPNトランジスタ19のベース領域間隔が減少して寄生トランジスタ18、19の電流増幅率が1を超える為、被曝放射線に対する耐量低下もしくは外部から信号入力端子に侵入する電磁界に対する耐量低下を招き、ラッチアップ現象が発生し易くなるという欠点がある。

【0013】本発明の目的は上述した欠点を解決し、被曝放射線もしくは外部から信号入力端子に侵入する電磁界によって生起するラッチアップ現象に対する耐量低下を著しく抑圧しうるCMOS構造の耐ラッチアップ半導体デバイスを提供することにある。

【0014】

【課題を解決するための手段】本発明の耐ラッチアップ半導体デバイスは、放射線環境下もしくは高電磁界環境下で引き起されるラッチアップ現象による影響の排除機能を付与したCMOS構造の耐ラッチアップ半導体デバイスであって、前記ラッチアップ現象を光学的に検知するためにCMOS構造の半導体デバイスの表面に形成した酸化膜による光導波路を有し、前記光導波路で導光された前記ラッチアップ現象による発光を電気信号に変換し、前記ラッチアップ現象によって生ずる回路導通の過電流を遮断することにより、恒久的破壊と機能喪失とを繰り返し回復させる構成を有する。

【0015】また本発明の耐ラッチアップ半導体デバイスは、前記ラッチアップ現象による正常動作の機能喪失をハードウェア構成で検知するとともに、接続した他の電子回路にも通知する機能を有する。

【0016】さらに本発明の耐ラッチアップ半導体デバイスは、前記ラッチアップ現象により恒久的な構造異常が発生し、回路に流れる過電流が解消されない場合に、その半導体デバイスに供給する電源を恒久的に断として前記過電流の発生を抑止する構成を有する。

【0017】

【実施例】次に、本発明について図面を参照して説明する。

【0018】図1は、本発明の第一の実施例のCMOS構造の耐ラッチアップ半導体デバイスの平面図、図2は

図1の実施例の縦断面図、図3は図1の実施例の側面図、図4は図1の実施例の等価回路図である。

【0019】本実施例はインバータ回路への適用例を示し、図1、2に示す如く、PチャンネルMOSトランジスタ6のドレイン電極7、ゲート電極8およびソース電極9に挟まれた位置において、ゲート電極8を包み込む形状で酸化膜が光導波路2を形成し、さらにNチャンネルMOSトランジスタ10においても、前述したPチャンネルMOSトランジスタ6と同様に酸化膜が光導波路1を形成し、その位置関係はドレイン電極とソース電極との間に存在し、ゲート電極13を包み込んでいる。

【0020】光導波路1、2と光導波路4とは、ゆるやかな曲線を描いて相互に結合され、さらに光導波路1、2に導光された光を光導波路4に伝搬させる構造になっている。

【0021】光導波路4の端面部は、図3に示す如く斜め45度に加工されており、加工面には可視～赤外領域の光を全反射するコーティングが施されている。

【0022】従って、ラッチアップ現象で発光した光は、全反射して90度伝搬方向を変え、光電変換素子3へ入射され伝搬光を起電力に変換する。

【0023】この起電力が図4の等価回路に示すデプレッション型MOSトランジスタ5のゲート電極に印加され、これによってデプレッション型MOSトランジスタ5を動作させる。これにより、電源端子31から供給される電流を遮断して、ラッチアップ現象が発生している部分に流れている電流を途絶えさせ、ラッチアップ現象を解消させることを可能としている。

【0024】さらに、ラッチアップ現象が停止することによって、ラッチアップ現象発生部での発光が無くなる為、光導波路1、2および4の伝搬する光が消滅し、光電変換素子3の発生起電力が消滅し、デプレッション型MOSトランジスタ5を非動作状態とし、再び回路に電流を供給して正常な機能状態に回復させることが可能である。

【0025】また、図1に示すラッチアップ発生信号端子27は、図5の運用接続例に示す如く、接続して利用する他の電子回路に対して、ラッチアップ現象が発生した当該半導体デバイスが、ラッチアップ現象発生下にあり無効とすべき誤った電気信号が送出されていることを警告するラッチアップ発生信号を送出するのに用いられる。

【0026】図6は、本発明の第二の実施例のCMOS構造による耐ラッチアップ半導体デバイスの平面図、図7はその等価回路図である。

【0027】この第二の実施例では、図7の等価回路にも示す如く、電源端子31とデプレッション型MOSトランジスタ5との間に、フローティングゲート構造を持つ不揮発性デプレッション型MOSトランジスタ22を配設し、発生ラッチアップに対して電源を遮断しても、

再度電源を接続させると再び過電流が流れてしまう構造破壊がもたらされた状態において、光導波路1、2および4を通じて光を光電変換素子3に導き、光電変換素子3の発生起電力を、メモリ機能を有するフローティングゲート構造の不揮発性デプレッション型MOSトランジスタ22と、通常のデプレッション型MOSトランジスタ5のゲートとに並列に印加し、有限時間のラッチアップ現象保持時間の後に不揮発性デプレッション型MOSトランジスタ22のフローティングゲートに電荷を蓄積させ、これによって不揮発性デプレッション型MOSトランジスタ22を完全にオフとし、構造破壊を起こした半導体デバイス回路を恒久的に電源から遮断する。

【0028】なお、不揮発性デプレッション型MOSトランジスタ22が完全にオンとなるまでの時間調節は、F-Nトンネル効果を起こさせる絶縁酸化膜の厚さを予め変えておくことによって可能である。

【0029】上述した第一および第二の実施例において、光導波路は半導体デバイスの絶縁膜と同質の二酸化珪素で構成することも可能であり、現在のプロセス工程中で対処でき、光導波路を設けることによって半導体デバイス全体が金属電極で覆われていても機能させることができある。

【0030】また、半導体デバイス表面全体に光電変換デバイスを設ける方法も考えられるが、本発明のように光導波路を構成している場合の方が、より効果的にラッチアップ現象によって発生する光の強度を利用することが可能である。

【0031】このようにして、放射線環境下もしくは高電磁界環境下で使用する場合、ラッチアップ現象によって生じる半導体デバイスの恒久的な破壊および異常動作からの回復を繰り返し防止することができ、動作寿命期間を大幅に延長することが可能となって、冗長系の簡略化、耐放射線シールドおよび耐電磁界シールド等のハードウェア費用を著しく低減できる。

【0032】なお、上述した実施例においては、珪素組成半導体デバイス並びに小規模集積回路について説明したが、集積度の大小に拘わらず、酸化膜に光導波路を形成し、被曝放射線もしくは高電磁界の被曝によるラッチアップ現象が発光現象を伴なうことから、光を光導波路に導光、伝搬させ、光電変換デバイスで電気信号に変換し、スイッチングデバイスに入力させ、半導体デバイスに供給される電流を遮断し、ラッチアップ現象を回復させることができあり、さらに光導波路の断面積、形状および大きさは任意に設定できることは明らかである。

【0033】

【発明の効果】以上説明したように本発明は、CMOS構造の半導体デバイスにおいて、PチャンネルMOSトランジスタのドレイン電極とソース電極に挟まれた部分の酸化膜と、NチャンネルMOSトランジスタのドレン電極とソース電極に挟まれた部分の酸化膜に光導波路

10 半導体デバイスに電流を供給し、回路動作を繰り返し再起動させることができる効果を有する。

【0035】また、ラッチアップ現象が発生している期間中、正常な動作を失っている状態を自らハードウェア的に検知し、接続されている他の電子回路に知らせて、誤った信号が継続されて処理されることを防ぐことができる効果がある。

【0036】さらに、CMOS構造の半導体デバイスに恒久的な構造異常が発生し、半導体デバイスに流れる過電流が電源を遮断したにもかかわらず再度電源を接続すると過電流が流れてしまう場合には、有限時間のラッチアップ現象持続時間の後に、不揮発性デプレッション型MOSトランジスタをオフとすることにより、構造異常を起こした半導体デバイス回路を恒久的に電源から遮断し、過電流が流れ続けることを防ぐことができる効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例のCMOS構造の耐ラッチアップ半導体デバイスの平面図である。

30 【図2】図1の耐ラッチアップ半導体デバイスの縦断面図である。

【図3】図1の耐ラッチアップ半導体デバイスの側面図である。

【図4】図1の耐ラッチアップ半導体デバイスの等価回路図である。

【図5】図1の耐ラッチアップ半導体デバイスの運用接続の一例を示す図である。

【図6】本発明の第二の実施例のCMOS構造の耐ラッチアップ半導体デバイスの平面図である。

40 【図7】図6の耐ラッチアップ半導体デバイスの等価回路図である。

【図8】従来のCMOS構造の半導体デバイスの一例を示す縦断面図である。

【図9】図8の半導体デバイスの等価回路図である。

【図10】図8の半導体デバイスに存在する寄生サイリスタの等価回路図である。

【符号の説明】

1, 2 光導波路

3 光電変換素子

4 光導波路

50 5 デプレッション型MOSトランジスタ

構造を形成し、ラッチアップ現象により発生する光を該光導波路に導光し、伝搬させて光電変換デバイスに照射し、これによって発生した起電力でデプレッション型MOSトランジスタを動作させ、半導体デバイスに電源から供給される電流を遮断させることによってラッチアップ現象を抑圧し、ラッチアップ現象によって生じる半導体デバイスの恒久的な破壊や異常な電気的動作を防止することができる効果がある。

【0034】また、ラッチアップ現象が止まった後、再び半導体デバイスに電流を供給し、回路動作を繰り返し再起動させることができる効果を有する。

【0035】また、ラッチアップ現象が発生している期間中、正常な動作を失っている状態を自らハードウェア的に検知し、接続されている他の電子回路に知らせて、誤った信号が継続されて処理されることを防ぐことができる効果がある。

【0036】さらに、CMOS構造の半導体デバイスに恒久的な構造異常が発生し、半導体デバイスに流れる過電流が電源を遮断したにもかかわらず再度電源を接続すると過電流が流れてしまう場合には、有限時間のラッチアップ現象持続時間の後に、不揮発性デプレッション型MOSトランジスタをオフとすることにより、構造異常を起こした半導体デバイス回路を恒久的に電源から遮断し、過電流が流れ続けることを防ぐことができる効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例のCMOS構造の耐ラッチアップ半導体デバイスの平面図である。

30 【図2】図1の耐ラッチアップ半導体デバイスの縦断面図である。

【図3】図1の耐ラッチアップ半導体デバイスの側面図である。

【図4】図1の耐ラッチアップ半導体デバイスの等価回路図である。

【図5】図1の耐ラッチアップ半導体デバイスの運用接続の一例を示す図である。

【図6】本発明の第二の実施例のCMOS構造の耐ラッチアップ半導体デバイスの平面図である。

40 【図7】図6の耐ラッチアップ半導体デバイスの等価回路図である。

【図8】従来のCMOS構造の半導体デバイスの一例を示す縦断面図である。

【図9】図8の半導体デバイスの等価回路図である。

【図10】図8の半導体デバイスに存在する寄生サイリスタの等価回路図である。

【符号の説明】

1, 2 光導波路

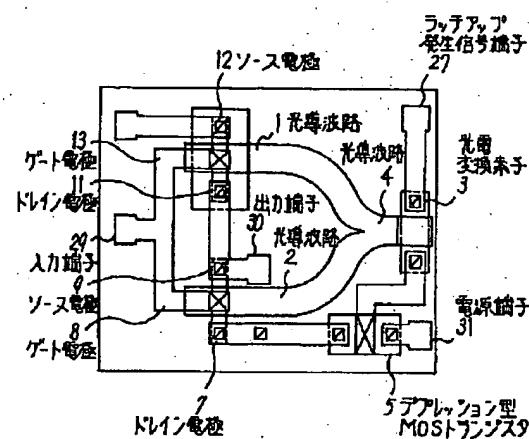
3 光電変換素子

4 光導波路

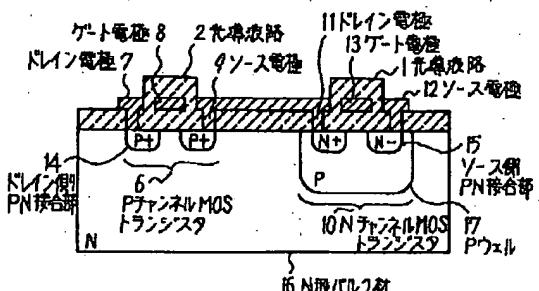
50 5 デプレッション型MOSトランジスタ

6	PチャンネルMOSトランジスタ	19	寄生NPNトランジスタ
7	ドレイン電極	20	距離A
8	ゲート電極	21	距離B
9	ソース電極	22	不揮発性デプレッション型MOSトランジスタ
10	NチャンネルMOSトランジスタ	23	集積回路(1)
11	ドレイン電極	24	集積回路(2)
12	ソース電極	25	集積回路(3)
13	ゲート電極	26	論理データバス
14	ドレイン側PN接合部	27	ラッチアップ発生信号端子
15	ソース側PN接合部	10 28	ラッチアップ発生連絡バス
16	N形パルク材	29	入力端子
17	Pウエル	30	出力端子
18	寄生PNPトランジスタ	31	電源端子

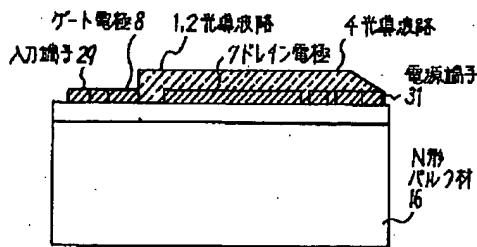
[图 1]



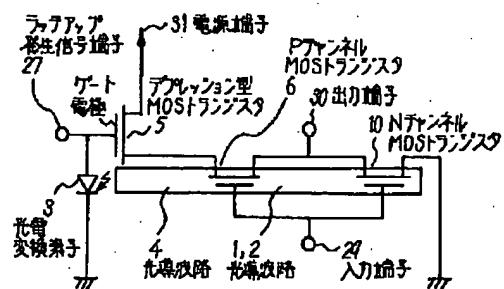
[図2]



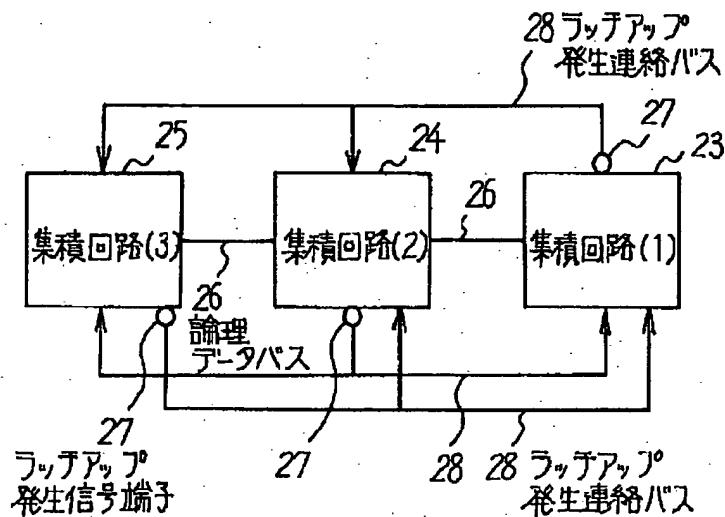
[図3]



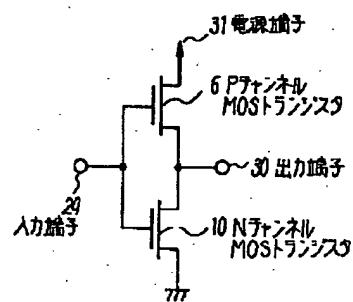
〔圖4〕



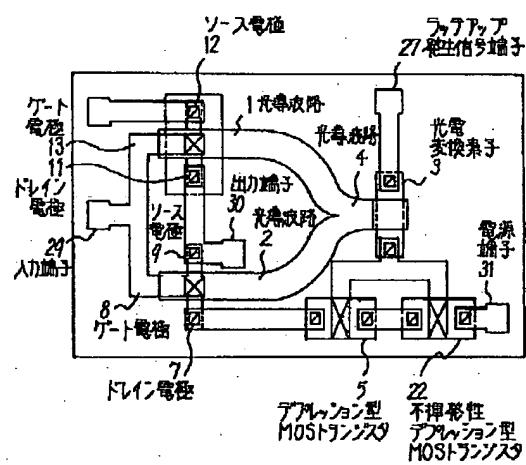
[図 5]



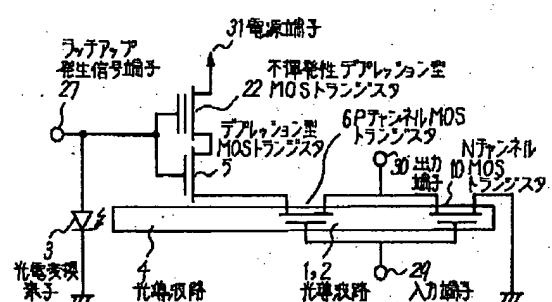
[図9]



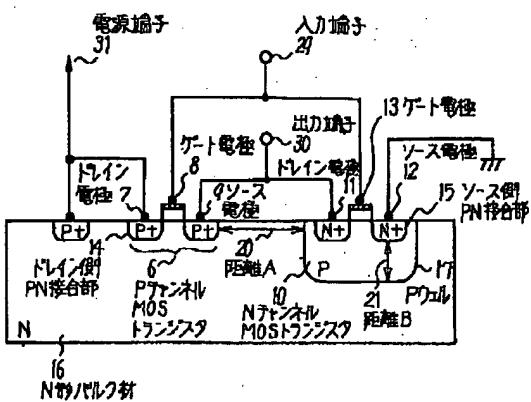
【图6】



[図7]



[図 8]



100

